

## A SILICIDE AGGLOMERATION FUSE DEVICE

**Patent number:** WO9712401  
**Publication date:** 1997-04-03  
**Inventor:** BOHR MARK T (US); ALAVI MOHSEN (US)  
**Applicant:** INTEL CORP (US);; BOHR MARK T (US);; ALAVI MOHSEN (US)

**Classification:**  
- **international:** H01L29/00; H01L29/44  
- **european:** H01L23/525F  
**Application number:** WO1996US15717 19960930  
**Priority number(s):** US19950537283 19950929

### Also published as:

EP0857357 (A1)  
US5708291 (A1)  
EP0857357 (A4)  
BR9610726 (A)

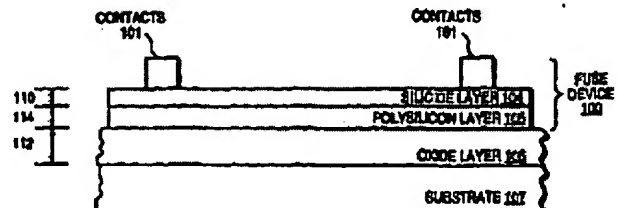
### Cited documents:

US4042950  
US4356622  
US4494135  
US4518981  
US4635091  
more >>

[Report a data error here](#)

### Abstract of WO9712401

A fusible link device (100) disposed on a semiconductor substrate (107) for providing discretionary electrical connections. The fusible link device of the invention includes a silicide layer (104) and a polysilicon layer (105), with the silicide layer formed on the polysilicon layer, and has a first unprogrammed resistance. The silicide layer agglomerates to form an electrical discontinuity in response to a predetermined programming potential being applied across the silicide layer, such that the resistance of the fusible link device can be selectively increased to a second programmed resistance.



Data supplied from the **esp@cenet** database - Worldwide

(43)公表日 平成11年(1999)11月2日

FI

F

審查請求 未請求 予備審查請求 有 (全 37 頁)

(21)出願番号	特願平9-513759
(86) (22)出願日	平成8年(1996)9月30日
(85)翻訳文提出日	平成10年(1998)3月27日
(86)国際出願番号	PCT/US96/15717
(87)国際公開番号	WO97/12401
(87)国際公開日	平成9年(1997)4月3日
(31)優先権主張番号	08/537, 283
(32)優先日	1995年9月29日
(33)優先権主張国	米国(US)

(71) 出願人 インテル・コーポレーション  
アメリカ合衆国 95052 カリフォルニア  
州・サンタクララ・ミッション カレッジ  
ブールバード・2200

(72) 発明者 ボー, マーク・ティ  
アメリカ合衆国・97007・オレゴン州・ア  
ロハ・サウスウエスト サンクレスト・  
19475

(72) 発明者 アラビ, モーセン  
アメリカ合衆国・97006・オレゴン州・ビ  
ーパートン・ノースウエスト アバンデー  
ル ドライブ・16080

(74) 代理人 弁理士 山川 政樹 (外4名)

最終頁に続く

**最終頁に続く**

(54) 【発明の名称】 シリサイド凝集ヒューズ装置

(57) 【要約】

任意の電気接続を形成するために半導体基板（１０７）上に配設された可融リンク装置（１００）。本発明の可融リンク装置はシリサイド層（１０４）と、シリサイド層の下方に形成されたポリシリコン層（１０５）とを含み、第１の未プログラム抵抗を有する。シリサイド層は、シリサイド層自体を横切って所定のプログラム電位が印加されたことに応答して凝集して電氣的切断部を形成し、それによって、可融リンク装置の抵抗を第２のプログラム済み抵抗に選択的に増大することができる。

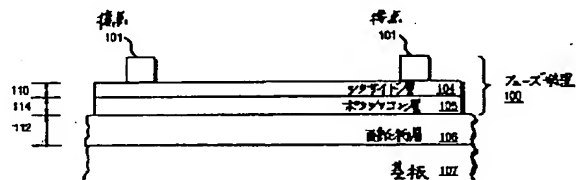


FIG. 1A (側面図)

## 【特許請求の範囲】

1. 任意の電気接続を形成する半導体基板上に配設された可融リンク装置であって、

第1の抵抗を有するポリシリコン層と、

ポリシリコン層上に形成され、第1の抵抗よりも低い第2の抵抗を有し、所定のプログラム電位がシリサイド層を両側の間に印加されたことに応答して凝集して電氣的切断部を形成し、それによって、可融リンク装置の抵抗を選択的に増大することができるシリサイド層とを備えることを特徴とする可融リンク装置。

2. さらに、プログラム電位を受け取るためにシリサイド層の両端部に電氣的に結合された少なくとも第1の接点と第2の接点とを含むことを特徴とする請求項1に記載の可融リンク装置。

3. 接点がタングステン・プラグであることを特徴とする請求項2に記載の可融リンク装置。

4. プログラム電位を受け取るためにシリサイド層の両端に電氣的に結合された9つの接点を含むことを特徴とする請求項2に記載の可融リンク装置。

5. プログラム電位が約2Vであることを特徴とする請求項1に記載の可融リンク装置。

6. シリサイド層が $TiSi_2$ であることを特徴とする請求項1に記載の可融リンク装置。

7. シリサイド層の厚さが約200オングストロームないし400オングストロームであることを特徴とする請求項6に記載の可融リンク装置。

8. ポリシリコン層の厚さが約2500オングストロームであることを特徴とする請求項1に記載の可融リンク装置。

9. ポリシリコン層の面積抵抗が500オーム/sq. よりも高く、シリサイド層の面積抵抗が1オームないし10オーム/sq. であることを特徴とする請求項1に記載の可融リンク装置。

10. ポリシリコン層がポリシリコン膜で形成され、シリサイド層がシリサイ

ド膜で形成されることを特徴とする請求項1に記載の可融リンク装置。

11. ヒューズ装置がヒューズ領域を備え、ヒューズ領域の長さがヒューズ領域の幅の4倍ないし25倍であることを特徴とする請求項1に記載の可融リンク装置。

12. ヒューズ領域の幅が約0.22ミクロンであることを特徴とする請求項11に記載の可融リンク装置。

13. ポリシリコン層がp型としてドーピングされることを特徴とする請求項1に記載の可融リンク装置。

14. ポリシリコン層がn型としてドーピングされることを特徴とする請求項1に記載の可融リンク装置。

15. ポリシリコン層が、n型としてドーピングされた第1の領域と、少なくとも、p型としてドーピングされた第2の領域とを含み、ポリシリコン層内に少なくとも1つのp-n接合部を形成することを特徴とする請求項1に記載の可融リンク装置。

16. 半導体基板上に配設され、第1の未プログラム抵抗を有するヒューズであって、

ポリシリコン層と、

ポリシリコン層上に形成され、所定のプログラム電位がシリサイド層の両側の間に印加されたことに応答して凝集して電氣的切断部を形成し、それによって、ヒューズの抵抗を第2のプログラム抵抗まで選択的に増大することができるシリサイド層と

を備えることを特徴とするヒューズ。

17. さらに、プログラム電位を受け取るためにシリサイド層に電氣的に結合された第1の接点と第2の接点とを含むことを特徴とする請求項16に記載のヒューズ装。

18. 接点がタングステン・プラグを備えることを特徴とする請求項17に記載のヒューズ。

19. プログラム電位を受け取るためにシリサイド層の両端に電氣的に結合された9つの接点を含むことを特徴とする請求項17に記載のヒューズ。

20. プログラム電位が約2Vであることを特徴とする請求項16に記載のヒューズ。

21. シリサイド層が $TiSi_2$ であることを特徴とする請求項16に記載のヒューズ。

22. シリサイド層の厚さが約200オングストロームないし400オングストロームであることを特徴とする請求項21に記載のヒューズ。

23. ポリシリコン層の厚さが約2500オングストロームであることを特徴とする請求項16に記載のヒューズ。

24. 第2のプログラム済み抵抗が第1の未プログラム抵抗の少なくとも10倍であることを特徴とする請求項16に記載のヒューズ。

25. ポリシリコン層がp型としてドーピングされることを特徴とする請求項16に記載のヒューズ。

26. ポリシリコン層がn型としてドーピングされることを特徴とする請求項16に記載のヒューズ。

27. ポリシリコン層が、n型としてドーピングされた第1の領域と、少なくとも、p型としてドーピングされた第2の領域とを含み、ポリシリコン層内に少なくとも1つのp-n接合部を形成することを特徴とする請求項16に記載のヒューズ。

28. ポリシリコン層の面積抵抗が500オーム/sq. よりも高く、シリサイド層の面積抵抗が1オームないし10オーム/sq. であることを特徴とする請求項16に記載のヒューズ。

29. ポリシリコン層がポリシリコン膜で形成され、シリサイド層がシリサイド膜で形成されることを特徴とする請求項16に記載のヒューズ。

30. ヒューズ装置がヒューズ領域を備え、ヒューズ領域の長さがヒューズ領域の幅の4倍ないし25倍であることを特徴とする請求項16に記載のヒューズ。

31. ヒューズ領域の幅が約0.22ミクロンであることを特徴とする請求項30に記載のヒューズ。

32. ヒューズを形成する方法であって、

半導体基板上にポリシリコン層を形成するステップと、  
ポリシリコン層上にシリサイド層を形成するステップと、  
ヒューズ装置をプログラムするために接点間にプログラム電位を印加できるよ

うにシリサイド層に電氣的に結合された接点をシリサイド層の両端に形成するステップとを含むことを特徴とする方法。

33. ポリシリコン層をp型としてドーピングするステップを含むことを特徴とする請求項32に記載の方法。

34. ポリシリコン層をn型としてドーピングするステップを含むことを特徴とする請求項32に記載の方法。

35. さらに、

ポリシリコン層をn型としてドーピングするステップと、

ポリシリコン層が少なくとも1つのp-n接合部を含むようにn型ポリシリコン層内にp型領域を形成するステップとを含むことを特徴とする請求項32に記載の方法。

## 【発明の詳細な説明】

## シリサイド凝集ヒューズ装置

関連出願

本出願は、1995年9月29日に出願された「A Low Voltage, High Gain Fuse Sensing Circuit and Method」と題する米国特許出願第\_\_\_\_\_号（代理人ドケット番号42390. P3181）に関する。

発明の分野

本発明は、集積回路装置の分野に関し、詳細には半導体集積回路の可融リンク装置に関する。

発明の背景

CMOS集積回路を含む集積回路では、多くの場合、情報を永久的に記憶し、あるいは集積回路の製造後に集積回路上に永久接続を形成することができることが望ましい。この目的のためにヒューズ、または可融リンクを形成する装置が使用されることが多い。たとえば、ヒューズは、冗長要素をプログラムし、同じ欠陥要素に置き換えるために使用することができる。ヒューズを使用してダイIDまたは他のそのような情報を記憶し、あるいは電流経路の抵抗を調整することによって回路の速度を調整することもできる。

いくつかのケースでは、電気的消去可能プログラム可能読取り専用メモリ（EEPROM）装置を使用してヒューズ装置の任意の接続機能が実行される。半導体プロセス技法では、引き続き装置形状が小型化され、動作電圧が低減されている。装置形状が小さくなると、ゲート酸化物層の厚さも薄くなる。高い漏れ電流を防止し、浮遊ノード上の荷電を維持するために、EEPROMヒューズ装置には比較的厚いゲート酸化物が必要である。したがって、EEPROMヒューズ装置は多くの最新の半導体プロセス技法では使用することができない。

他のヒューズ装置は、任意の接続を形成またはプログラムするために余分な半導体処理ステップを必要とする。たとえば、ある種のヒューズ装置は、半導体装置が処理されパッシベーションが形成された後でレーザを使用してリンクを開放

することによって「プログラムされる」。この種のヒューズ装置は、希望する場合にヒューズ装置をプログラムまたは「溶断」する余分な処理ステップだけでなく、近傍の装置を破壊するのを回避するためのヒューズ装置上でのレーザの位置合わせも必要である。この手法およびその他の同様な手法では、装置のパッシベーション層が損傷し、したがって信頼性の問題が生じることがある。いくつかの手法では、接続部を破壊するときに、ヒューズ装置をプログラムする前にパッシベーション層を実際に除去し、ヒューズ材料用の空間を設けなければならない。パッシベーション層を故意に除去することのない他の手法では、ヒューズを溶断するプロセスのために、ヒューズ材料を除く際にパッシベーション層に穴があく恐れがある。

「酸化物アンチヒューズ」装置と呼ばれる他のタイプのヒューズ装置は、回路の通常の動作電圧供給と比べて高い電圧を使用してプログラムされる。したがって、これらの装置の周辺回路は一般に、集積回路上で通常得られるよりも高い接合部破壊電圧を必要とする。これは、上記でEEPROMヒューズ装置を参照して説明したのと同じ理由で新しいプロセス技法および開発中のプロセス技法によって問題である。ゲート酸化物の厚さが減少するため、より高いウェル・ドーピングが必要になり、そのため接合部破壊電圧が低くなり、したがって多くの最新のプロセス技法では酸化物アンチヒューズ装置を使用できなくなる。

本発明は、追加処理ステップなしに製造することができ、確実に現在の低電圧薄ゲート酸化物プロセス技法と共に使用することができる小形ヒューズ装置を提供する。さらに、本発明のヒューズ装置は、上方の誘電層を損傷せずに比較的低い電圧を使用してプログラムすることができる。

#### 発明の概要

任意の電気接続部を形成するために半導体基板上に配設された可融リンク装置について説明する。本発明の可融リンク装置は第1の未プログラム抵抗を有し、

ポリシリコン層とシリサイド層とを含む。シリサイド層は、ポリシリコン層上に形成され、シリサイド層に所定のプログラム電位が印加されることに応答して、凝集して電氣的切断部を形成し、そのため、可融リンク装置の抵抗を選択的に第



2のプログラム済み抵抗に増大することができる。

#### 図面の簡単な説明

第1A図は、本発明の一実施形態の可融リンク装置の側面図である。

第1B図は、本発明の一実施形態の可融リンク装置の平面図である。

第2A図は、プログラム後の本発明の一実施形態の可融リンク装置の側面図である。

第2B図は、プログラム後の本発明の代替実施形態の可融リンク装置の側面図である。

第3図は、本発明の一実施形態のプログラム回路および可融リンク装置を示す図である。

第4図は、本発明の一実施形態の検知回路および可融リンク装置を示す図である。

第5図は、本発明の一実施形態の冗長ヒューズ装置の構成を示す図である。

第6図は、本発明の一実施形態のヒューズ・プログラム検知方法を示す図である。

#### 詳細な説明

任意の接続部を形成するシリサイド凝集ヒューズ装置を開示する。下記の説明では、本発明を完全に理解していただくために特定の材料、寸法、接点数、プログラム電圧および電流ならびに検知電圧および電流など多数の詳細について述べる。しかし、当業者には、これらの特定の詳細なしに本発明を実施できることが理解されよう。他の例では、本発明を曖昧にするのを避けるために、周知の構造、回路ブロック、インタフェース、アーキテクチャ機能については詳しく説明しなかった。

#### 本発明の一実施形態のヒューズ装置の概要

第1A図は、本発明のシリサイド凝集ヒューズ装置100の一実施形態の側面図を示す。ヒューズ装置100は半導体基板107上に配設され、通常、より大形の集積回路装置の一部である。一実施形態では、ポリシリコン層105はp型としてドーブされる。他の実施形態は、n型や、ポリシリコン層105内でのp

n接合部の形成を含め他のタイプのドーピングを含むことができる。そのようなポリシリコン層を含むヒューズ装置200の例について第2B図を参照して説明する。酸化物層106は、一実施形態では厚さ112が約3000ないし4000Åであり、ヒューズ装置100と基板107との間に形成される。

ヒューズ装置100は、ポリシリコン層105上に配置されたシリサイド層104を含む。一実施形態では、ヒューズ装置100のシリサイド層104およびポリシリコン層105は、集積回路装置上の他の装置のポリシリコン層およびシリサイドゲート層を製作するために使用される処理ステップと同じ処理ステップによって形成される。このように、追加処理ステップの必要なしにヒューズ装置100を製造することができる。

ポリシリコン層105は酸化物層106上に形成され、一実施形態では厚さ114が2500Å程度である。ポリシリコン層105の面積抵抗は500オーム/sq.を超え、一実施形態では約1000オーム/sq.であるが、本発明の他の実施形態ではこれより高くても、あるいは低くてもよい。一実施形態では、シリサイド層104はシリサイドチタン(TiSi<sub>2</sub>)膜である。ただし、本発明によればシリサイドタングステン、シリサイドタンタル、シリサイド白金など他のシリサイドを使用することもできる。シリサイド層104の厚さ110は一実施形態では約225ないし250Åであるが、他の実施形態ではこれより厚くても、あるいは薄くてもよい。シリサイド層104の面積抵抗はその厳密な組成に依存するが、一実施形態では約1オーム/sqないし10オーム/sqである。

ヒューズ装置100は両端に接点101を含む。接点101はシリサイド層104に結合され、ヒューズ装置と、外部装置または同じ集積回路装置内の他の構成要素との間の電氣的接続部を形成する。一実施形態では、接点101は、プログラム、検知、またはその他の用途のためにヒューズ装置100にアクセスでき

るように金属相互接続線(図示せず)に結合される。接点101は一実施形態ではタングステン・プラグであるが、他の材料で形成することができる。代替実施形態では、同じ機能を与えるために、ヒューズ装置100が形成される集積回路

の金属相互接続線がシリサイド層104に直接結合される。

本発明のヒューズ装置100について第1B図を参照して詳しく説明する。第1B図は一実施形態の装置100の平面図を示す。ヒューズ装置100は、本明細書ではヒューズ要素とも呼ぶヒューズ領域122を2つの接点領域120の間に含む。ヒューズ装置100はヒューズ領域122のどちらかの端部とそれぞれの接点領域120との間にテーパ付き遷移領域116を含む。この実施形態では、各遷移領域は、プログラム時に、接点間を流れる電流がヒューズ領域122に集中するように、それぞれの接点領域120とヒューズ領域122との間に約45度の角度を形成する。遷移領域116の形状は、下記に詳しく説明するようにヒューズ装置100の必要なプログラム電圧を低下させるのに寄与することができる。代替実施形態では、接点領域120の形状は丸でも、あるいは正方形でも、あるいは矩形でもよい。また、代替実施形態では、ヒューズ装置100は接点領域120とヒューズ領域122との間に遷移領域を含まなくてもよい。

ヒューズ領域122の寸法は、それぞれの異なる処理技法、空間要件、その他のヒューズ要件に応じて変更することができる。一実施形態では、第1B図に示した平面図のヒューズ領域の幅117は、ヒューズ装置100を形成するために使用されるプロセス技法の下限に近く、一例では約0.22ミクロンであり、長さ118はヒューズ領域122の幅117の4倍ないし25倍である。特定の実施形態では、長さ118は幅117の約10倍であるが、他の実施形態ではそれより大きくても、あるいは小さくてもよい。

接点領域120は一実施形態ではできるだけ小さなものであるが、それでも、接点101の寸法、組成、ヒューズ装置100をプログラムするために必要なプログラム電流またはプログラム電圧に基づいて、接点101に必要な最小面積を備えている。ヒューズ装置100上の接点101の数は任意である。第1B図ではヒューズ装置100の両端に2つの接点101が示されているが、本発明によればこれより多くの接点を使用することも、あるいはこれより少ない接点を使用

することもできる。一実施形態では、ヒューズ装置100の両端上の各接点領域120は9つの接点101を含む。並行して動作する複数の接点101を使用し

て、接点101を過熱せずに必要なプログラム電流がヒューズ装置100内を流れるようにすることができる。

動作時には、ヒューズ装置100は、プログラムまたは「溶断」される前には第1の抵抗を有し、プログラム後にそれよりもずっと高い第2の抵抗を有する。ヒューズ装置100がプログラムされる前には、ヒューズ装置の抵抗はシリサイド層104の抵抗によって決定される。プログラム時には、シリサイド層104内に切断部が形成される。したがって、ポリシリコン層105の抵抗とシリサイド層104の抵抗との比に基づいてヒューズ装置の抵抗は著しく増大する。

ヒューズ装置100のプログラムの効果について第2A図および第2B図を参照して詳しく説明する。第2A図は、プログラム後の本発明のヒューズ装置100の側面図を示す。プログラム電位を接点101間に印加すると、シリサイド膜層104を通じてヒューズ装置100の一端から他端へ電流が流れる。この電流によってシリサイド層104が加熱され、シリサイド凝集層204で示したようにシリサイド自体が凝集する。したがって、ポリシリコン層105を覆うシリサイド層104に切断部206が形成される。

シリサイド層104の抵抗はポリシリコン層105の抵抗よりもずっと低いので、それに応じてヒューズ装置100の抵抗が増大する。上記で示した面積抵抗例を使用すると（シリサイド層の場合は1オーム/ $\text{sq}$ ないし10オーム/ $\text{sq}$ であり、ポリシリコン層の場合は $>500$ オーム/ $\text{sq}$ ）、ヒューズ装置の抵抗はプログラム後に少なくとも10倍に増加する。第2B図を参照して説明する実施形態などいくつかの実施形態では、抵抗の増加がそれよりもずっと大きい。次いで、検知回路によってこの抵抗変化が検出され、ヒューズ装置100がプログラムされたかどうか判定される。本発明のプログラム回路および検知回路について下記で、第3図ないし第6図を参照して詳しく論じる。

第2B図は、本発明の他の実施形態によるプログラム済みヒューズ装置200の側面図を示す。ヒューズ装置200は、前述のヒューズ装置100の同じ名称の構成要素と同様な組成、配置、機能を有する接点201と、シリサイド層234と、酸化物層236と、基板237とを含む。しかし、ヒューズ装置200の

ポリシリコン層205はヒューズ装置100のポリシリコン層105とは異なる。ヒューズ装置200のポリシリコン層205はn型としてドーパされ、p型としてドーパされた1つまたは複数の領域208を含む。p型としてドーパされた領域208は、ポリシリコン層のn型領域と共にp-n接合部210などのp-n接合部を形成する。

ヒューズ装置200は、低プログラム電圧および低プログラム電流を使用してヒューズ装置100と同様にプログラムされる。ヒューズをプログラムすると、(シリサイド凝集224で示したように)シリサイド層234が凝集し切断部226が形成される。p-n接合部210などのp-n接合部の上方に切断部226が形成される場合、接点201間の電流がシリサイド層234の切断部226からポリシリコン層205、この場合はp-n接合部210内を流れる。このように、プログラム済みヒューズ200と、ヒューズ200と同じ未プログラム・ヒューズとの抵抗の比は、プログラム時にp-n接合部210の上方に切断部226が形成された場合に著しく高くなる。

ヒューズ装置100をプログラムするために必要なプログラム電圧、したがってプログラム電流は比較的低い。本明細書では例示のためにヒューズ装置100を参照したことを理解されたい。ヒューズ装置200など他の同様なヒューズ装置も同様に、プログラムされ、検知され、動作する。一実施形態では、ヒューズ装置100は約2.0Vのプログラム電位を使用して溶断することができる。他の実施形態は、シリサイド層の厚さおよびヒューズ装置100のその他の形状に応じたそれぞれの異なるプログラム電圧を有する。上記で第1B図を参照して説明したように、接点領域120とヒューズ領域122との間の遷移領域116の形状は、ヒューズ装置100内を流れる電流密度をヒューズ領域122に集中することによって一実施形態の低プログラム電圧に寄与する。ヒューズ装置100のプログラム電位が低いので、ヒューズ装置100は、薄いゲート酸化物、したがって低接合部破壊電圧を有する最新のプロセス技法で製造される集積回路装置で使用するうえで理想的である。

本発明のヒューズ装置100は、小形であり、したがってシリコン空間に関し

て廉価であるという追加利点を与える。さらに、本発明によるヒューズ装置100などのヒューズ装置を形成する場合、追加処理ステップは必要とされない。ヒューズ装置100は、シリサイド凝集ヒューズ装置が実装される集積回路装置の他の特性を作製するためにすでに行われている標準処理ステップを使用して形成することができる。追加処理ステップなしに本発明のヒューズ装置100を実装することも、その低コストに寄与する。

本発明のシリサイド凝集ヒューズ装置は、実施コストが低く、低電圧プロセス技法で使用するだけでなく、上方の誘電層を損傷せずにプログラムすることができる。さらに、本発明のヒューズ装置は空気にさらさずにプログラムすることができ、従来技術のヒューズ装置とは異なり、プログラム・ステップ自体によってヒューズ装置を囲むパッシベーション層またはその他の層に穴が形成されることがない。

#### 本発明の一実施形態のプログラム回路

次に第3図を参照すると、本発明の一実施形態によるプログラム回路300が示されている。一実施形態のヒューズ装置320は前述のヒューズ装置100および200に類似しており、第3図では点線内の記号で表されている。本発明のヒューズ装置320は一端が $V_{ss}$ またはグラウンドに結合され、ヒューズ装置320の対向端部はpチャネル・プログラム装置 $T_p$ のドレインに結合される。トランジスタ $T_p$ のソースは $V_{cc}$ に結合される。プログラム回路の寸法は、1つのpチャネル・トランジスタしか必要とされないようにヒューズ装置320の一端をグラウンドに結合することによって小さな寸法に維持される。代替実施形態では、本発明のプログラム回路は、nチャネル・トランジスタがオンになったときにヒューズ装置320がプログラムされるような補助信号を有するnチャネル・トランジスタを含むことができる。

本発明の一実施形態のプログラム回路を制御するために、トランジスタ $T_p$ のゲートにNAND装置301などのロジックが結合される。一実施形態では、NAND装置301は、NAND装置やトランジスタ $T_p$ が形成される集積回路装置上のトランジスタ $T_p$ の非常に近くに配置される。このようにすることで、信

号線の長さにわたって増大する雑音およびその他の異常の影響が低減され、プログラム・トランジスタ $T_p$ が誤ってオンになる可能性が低減される。ヒューズ装置320のプログラムはプログラム入力線303を通じて制御され、プログラム入力線は任意の数の信号線を含むことができる。この例では、プログラム入力線303上で入力を受け取ると、トランジスタ $T_p$ のゲートにロー信号が与えられ、トランジスタ $T_p$ がオンになる。トランジスタ $T_p$ がオンになると、ヒューズ装置320内を電流が流れる。このように、ヒューズ装置320を選択的にプログラムすることができる。一実施形態では、ヒューズ装置320は、プローブ装置をプログラム回路300と共に使用してウェハ・レベルでプログラムされる。他の実施形態では、ヒューズ装置320は集積回路装置製造プロセスの異なる段階で、あるいはヒューズ装置320を含む集積回路装置が実装された後にプログラムされる。

#### 本発明の一実施形態の検知回路

本発明の一実施形態の静的自己バイアス高感度低読取り電流検知回路400について第4図を参照して説明する。例示のために、第1図ないし第2図で一実施形態において示したヒューズ装置100または200と同様なヒューズ装置450に関連して検知回路400の動作を説明する。しかし、当業者には、本発明の検知回路400を使用して他のタイプのヒューズ装置を検知することもできることが理解されよう。検知回路400は、本発明のヒューズ装置450などのヒューズ装置と共に使用するのに良く適している。本発明のヒューズ装置450は低プログラム電圧、したがって低プログラム電流を有する。したがって、ヒューズ装置450がプログラムまたは溶断されているかどうかを検知するために使用される検知回路によって検知プロセス時に未溶断ヒューズが溶断されることがないことが重要である。さらに、ヒューズ装置450はまた、未プログラム状態とプログラム済み状態との間に抵抗のわずかな変化しか示さない。したがって、ヒューズ装置450を検知するために使用される検知回路は、ヒューズ装置450がプログラムされているかどうかを確実に判定するために抵抗の比較的小さな変化を検出するのに十分な感度を有さなければならない。図のように、本発明の検知

回路400は、低い検知電圧および検知電流を使用してヒューズの高感度で信頼できる検知を行う。検知回路400の他の利点について下記で詳しく論じる。

本発明の一実施形態の検知回路400は第4図に示されており、第1の検知ブランチ401と、基準ブランチ403と、第2の検知ブランチ405の3つのブランチを含む。第2の検知ブランチ405は、一実施形態で差動検知を行い、かつ冗長ヒューズ構成に拡張する検知回路400の機能を示すために第4図に示されている。検知回路400の検知ブランチ401および405の動作について、本明細書では第1の検知ブランチ401を参照して説明する。しかし、第2の検知ブランチ405が第1の検知ブランチ401と同様に動作することが理解されよう。本発明の差動検知機能の他の詳細と、一実施形態の冗長ヒューズ構成について下記で論じる。

第4図に示したように、ヒューズ装置450の一端はグラウンドに結合され、ヒューズ装置450の対向端部は、ヒューズ装置450をプログラムできるようにプログラム入力418に結合される。プログラム入力418は、上記で第3図を参照して論じたプログラム回路300などのプログラム回路のプログラム装置Tpに結合される。プログラム回路のTpがnチャネル装置である実施形態では、本発明の検知回路400は、第4図に示した装置および信号を補助する装置および信号を含むことに留意されたい。すなわち、検知イネーブル信号などの信号がアクティブ・ハイではなくアクティブ・ローになり、pチャネル装置がnチャネル装置などで置き換えられる。なお、補助検知回路の動作は、第4図に示した検知回路400の動作に類似している。

第4図に戻ると分かるように、ヒューズ装置450には検知装置S1も結合されており、検知装置S1は第1の検知ブランチ401内に含まれる。検知装置S1のソースはヒューズ装置450に結合され、検知装置S1のドレーンは、検知イネーブル装置T1を通じて負荷装置L1のドレーンおよびマージン試験装置M1に結合される。

基準ブランチ403は、同様に検知イネーブル装置TRを通じて負荷装置LRおよびマージン試験装置MRに結合された検知装置SRを含む。基準ブランチ403は、下記で詳しく論じる基準電圧ノードVREF430と、基準抵抗420も



含む。一実施形態では、基準抵抗420は、直列接続され未プログラム状態のヒューズ装置450と同一である1つまたは複数のヒューズ装置を備え、そのため、基準ブランチ内の基準抵抗420は未プログラム・ヒューズ装置450および480に一致している。代替実施形態で、基準抵抗420は、ヒューズ450および480を形成するために使用されるヒューズ材料と同様なヒューズ材料の一部で基準抵抗420を形成することによってヒューズ装置450および480に整合させている。基準ブランチ403の第1の検知ブランチ401およびSRの検知装置S1のゲートは、検知イネーブル入力416に結合された検知イネーブル・トランジスタT1およびTRのゲートと同様に互いに結合される。SRのゲートはノード430でそのドレインに結合され、したがって装置S1と装置SRとの間に電流ミラー構成を確立する。

負荷装置L1およびLRはトランジスタとして示されているが、他のタイプの負荷装置を備えることができることに留意されたい。さらに、L1とLRは、たとえばプロセス、温度、電圧変動に応答して同様に変動するように一致している。検知ブランチ401および405内の他の装置も、同様な条件に応答して同様に変動するように基準ブランチ405内の対応する装置に一致している。

本発明の検知回路400の電流ミラー構成は、ヒューズ装置450などのヒューズ装置の状態を検知する際に検知回路400の低検知電流に寄与する1つの因子である。基準ブランチ403を、低電流を与えるように最適化すると、外側検知ブランチ401および405内の電流は安全レベルに維持される。基準ブランチ403を低電流を与えるように最適化するにはどうすべきかの詳細について下記で論じる。

検知回路400内の電流ミラー構成は、S1およびSRを、ソース抵抗の変化に応答して変動する動作領域にバイアスすることによって、検知回路400の感度を向上させるようにも動作する。電流ミラーと、ヒューズ装置450と、基準抵抗420とを備える検知回路400の部分を「デジェネレート (degenerate) 電流ミラー」と呼ぶことができる。動作時には、未溶断状態のヒューズ装置450および480と基準抵抗420とを含め、ヒューズ検知ブランチ401および403ならびにヒューズ検知ブランチ420内の同様な装置が一致しているので

ヒューズを溶断させる動作によって電流ミラーに抵抗オフセットが生成され、この抵抗オフセットが検知回路400の出力414および454に反映される。ヒューズ装置450は、ヒューズ装置の状態が変化したときに検知ブランチ内の電流を変化させるソース・デジェネレート抵抗器として使用される。この電流の変化は、出力414での電圧の変化によって反映される。

検知イネーブル入力416は検知回路400の検知機能を制御する。検知イネーブル信号線416が $V_{ss}$ （グラウンド）であるとき、MOS装置T1およびTRはオフである。検知イネーブル装置T1およびTRがオフになると、負荷装置L1およびLRが検知装置S1およびSRから切断され、したがって検知回路ブランチ内の電流はなくなる。さらに、負荷装置L1およびLRが一端で $V_{cc}$ に結合され、したがって出力信号線414の出力電位を供給電圧にプルする。これによって、検知回路400の出力414および454に結合された入力を有する装置が、そのような装置を部分的にオンにする範囲の入力電位を受け取ることはなくなる。このように、検知回路400がイネーブルされていないときに、検知回路400に結合された装置が電力を引き出すことはない。

一実施形態では、検知イネーブル入力信号線416は外部源からのリセット信号に応答する。検知回路400の検知イネーブル入力416がリセット時にロー状態からハイ状態に移移すると、MOS検知イネーブル・トランジスタT1およびTRがオンになる。装置TRがオンになると、電圧供給 $V_{cc}$ と基準ブランチ403の検知装置SRとの間に電流経路が生成され、検知装置SRのゲートがプルアップされ導通する。検知装置SRがオンになった後、ノード440および $V_{REF}$ 430上の電位が $V_{ss}$ （グラウンド）の方へプルされる。しかし、MOS負荷装置LRは、ノード $V_{REF}$ 430での電圧がグラウンドにプルされるのを妨げ、したがってノード $V_{REF}$ 430に基準電圧を確立する。このように、検知回路400は「自己バイアス」される。

ノード440で生成された電圧は、第1の検知ブランチ401の出力414および第2の検知ブランチ405の出力454に対する追加基準電圧を形成する。

ノード440での電圧を使用して、検知回路400の出力を受け取るロジックのトリップ点を調整することができる。一実施形態では、前述のように、基準抵抗

420は、未プログラム状態の本発明のヒューズ装置450と同一の1つまたは複数の未プログラム・ヒューズ装置を備える。このように、基準抵抗420はヒューズ装置450に一致している。また、検知イネーブル装置T1およびTRの寸法は検知装置S1およびSRの寸法に一致している。検知ブランチ401および405内の装置の抵抗を基準ブランチ403内の対応する装置の抵抗に一致させることによって、ヒューズ装置450の抵抗のわずかな変化でも容易に検出することができる。

#### 本発明のヒューズ検知回路のシングルエンド動作

本発明のヒューズ検知回路400は、ヒューズ装置450の状態がシングルエンド的または差動的に解釈されるように構成することができる。すなわち、出力414の電圧と、検知回路400に結合されたロジックのトリップ点電圧を比較することによってヒューズ装置450の状態を決定する（シングルエンド検知と呼ぶ）ことも、あるいはヒューズ装置450および480を互いに逆の状態にプログラムし、出力ノード414および454上の電圧を比較することによってヒューズ装置450の状態を差動的に検出することもできる。共通ロジックのトリップ点電圧は、電圧レベルが論理「1」として解釈されるか、それとも論理「0」として解釈されるかを示し、当業者には良く知られている。

シングルエンド構成では、基準抵抗420は一致するように選択されるが、それでも未プログラム・ヒューズ装置450の抵抗よりも高い。未プログラム状態のヒューズ装置450と同様な未プログラム・ヒューズ装置を使用し、それによって基準抵抗420をヒューズ装置450に一致させることにより、製造公差、温度、その他の理由による基準抵抗の変動が、ヒューズ装置450の変動に続いて起こる。一実施形態では、基準抵抗420は、未プログラム・ヒューズ装置450に一致した5つの未溶断ヒューズ装置を備える。したがって、基準抵抗420は未プログラム・ヒューズ装置450の抵抗の5倍である。他の実施形態は、基準抵抗420を形成するために、異なる数であるが複数のヒューズ装置を含む

。基準抵抗420と未プログラム状態のヒューズ装置450の抵抗との比が高くなるように基準抵抗420を選択することによって、最初にデフォルト・オフセット

ト電圧が生成される。この実施形態では、未溶断ヒューズ装置450に対して基準抵抗420の抵抗が高いと、共通ロジック・トリップ点よりも低いために「0」と解釈されるほど低い出力ロー電圧が生成される。一実施形態では、ヒューズ装置450がプログラムされていないときの出力414での出力電圧は約100mVである。したがって、未溶断ヒューズは論理「0」と解釈され、デフォルト・オフセットを含むデフォルト状態が生成される。

このヒューズー基準負荷比では、ソース負荷装置が一致することと、基準ブランチとヒューズ・ブランチの間の電流ミラー接続のために、製造上の変動が許容される。さらに、上記で引用したデフォルト・オフセットは、検知回路400の動作に影響を与える前に解消しておくべき $V_t$ および $L_e$ の変動に関して高いしきい値を生成する。検知装置S1のソース負荷（ヒューズ装置450）が低いと、検知装置S1を横切って高いゲート・ソース間（VGS）電圧が生成される。検知装置S1のVGSが高いと、SR内の電流が増大する。電流が増大すると、新しい平衡点が確立されるまで負荷装置L1のドレーンが低下する。

一実施形態では、ヒューズ装置450がプログラムされていない場合、出力ノード414で到達する平衡点は約100mVないし150mVである。この低い出力電位は、ヒューズ装置450の未溶断状態が検出されるように外部ゲートによって解釈することができる。

ヒューズ装置450が溶断すると、ヒューズ装置450の抵抗が高くなるために検知装置S1のソース上で高い電位が生成される。検知装置S1のソース上の電位が高くなると、ソース電位とゲート電位との間のギャップが狭くなり、あるいは検知装置S1のVGSが低下する。したがって、検知装置S1内を流れる電流も低減する。次いで、第1の検知ブランチ401の受動負荷装置L1が出力ノード414の電位をプルアップする。プログラムされたときのヒューズ装置450の抵抗が基準抵抗420の5倍である実施形態では、出力ノード414は、V

$V_{cc}$ が2.0Vに設定されている場合、最低で約1.7Vにプルアップされる。プログラムされたときのヒューズ装置450の抵抗と基準抵抗420との比がずっと高い場合、出力ノード414上の出力電圧が $V_{cc}$ 供給電圧にずっと近い値にプルアップされる。ある種の実施形態では、ヒューズ装置450の状態が検出

された後、状態の論理解釈がレジスタまたはその他の記憶装置（図示せず）に記憶される。

ヒューズ装置450が溶断し、すなわちプログラムされた場合、ヒューズ装置450の抵抗が増大する。前述のように、一実施形態では、ヒューズ装置の抵抗は同様な未プログラム・ヒューズ装置と比べて少なくとも10倍だけ増大し、10倍ないし1000倍の範囲で増大することができる。いくつかの実施形態ではこれよりもずっと大きな増大が可能である。ヒューズ装置450などのヒューズ装置のプログラム済み抵抗はいくつかのケースで、製造上の変動のために著しく変動するが、本発明の検知回路400は、ヒューズ装置450の受け入れられる非常に低いプログラム済み抵抗値を検出する機能を備える。また、本発明の検知回路400は、プログラム済み抵抗と未プログラム抵抗の比が非常に小さな場合でも、ヒューズ装置450のプログラム済み状態とヒューズ装置450の未プログラム状態を確実に区別することができる。

未プログラム状態のヒューズ装置450と基準抵抗420の比をさらに大きくするように基準抵抗420の値またはサイズを変更できることに留意されたい。未プログラム・ヒューズ装置抵抗と基準抵抗420の比を大きくすると、いくつかの実施形態で雑音、オフセット、 $V_t$ および $L_e$ の変動に対する検知回路400の耐性を向上させることができる。

#### 一実施形態の差動検知機能

代替実施形態では、ヒューズ装置450の状態を差動的に検知することができる。この実施形態では、基準抵抗420はヒューズ装置450および480の抵抗に近くなるように選択される。一実施形態では、基準抵抗は、ヒューズ装置450、480の抵抗と基準抵抗420が互いにできるだけ近くなるようにヒューズ装置450および480に一致した未プログラム・ヒューズ装置を備える。他

の実施形態では、検知回路400の感度を増大させるように基準抵抗420を形成するように複数のヒューズ装置が直列に結合される。

この構成の検知回路400の動作は前述の回路の動作に類似している。しかし、この構成では、ある論理状態が必要な場合に一方のヒューズ装置450または

4

80がプログラムされ、逆の論理状態が必要な場合には他方のヒューズ装置がプログラムされる。プログラム・ステップが完了した後、検知回路400がイネーブルされ、第1の検知ブランチの出力414での電圧が第2の検知ブランチの出力454での電圧と比較される。一実施形態では、ヒューズ装置450がプログラムされておらず、ヒューズ装置480がプログラムされている場合、出力ノード414での電圧は出力ノード454での電圧よりも低くなり、回路は論理「0」であると解釈される。他の実施形態では、差動増幅器（図示せず）の接続に応じて逆のことが真である。差動増幅器を使用して2つのノード間の電圧の差を測定することは、当業者には良く知られている。

一実施形態では、検知回路400の第1の検知ブランチ401内の電流はこの構成では約 $300\mu A$ である。ヒューズ装置450のプログラム電流が約 $6mA$ である場合、 $300\mu A$ の電流は、未溶断ヒューズ装置450をプログラムせずに検知するための安全範囲内である。

#### 検知回路の一実施形態のマージン試験機能

本発明の検知回路400の一実施形態は、製造プログラム検証機能も備える。言い換えれば、本発明の一実施形態の検知回路400を用いてヒューズ装置450のマージンを試験して、ヒューズの部分的な溶断、ヒューズ装置450の受け入れられない変動、またはヒューズ装置を使用できないものにする他の限界条件を識別することが可能である。そのような条件は、たとえばヒューズ装置450を通常の条件の下で検知するとヒューズ装置450の正しい状態が検知されるが、老化、雑音、熱またはその他の環境条件のために「誤読取り」が起こる可能性がある場合に生じる。本発明の「マージン・モード」試験手段は、検証プロセス中に誤読取りを生じさせるように設計される。これにより、そのような問題によ

る現場での故障が回避される。

本発明の検知回路400のマージン・モード試験手段について引き続き第4図を参照して説明する。第1の検知ブランチ401のマージン・モード試験装置M1および基準ブランチ403のMRは、互いに一致するpチャネル受動負荷装置、すなわち第1の検知ブランチ401のL1と基準ブランチ403のLRとの平衡

を崩すことによってヒューズ装置450のマージン試験をイネーブ爾する。pチャネル・マージン・モード試験装置M1のドレインは装置T1のドレインに結合される。同様に、pチャネル・マージン・モード試験装置MRのドレインは装置TRのドレインに結合される。検知回路400のマージン・モード試験機能は、マージン・モード試験装置M1のゲートおよび第2の検知ブランチ405内の対応する装置に結合されたマージン試験0入力410と、マージン・モード試験装置MRのゲートに結合されたマージン試験1入力412を使用して制御される。

マージン試験1入力412のロー信号はマージン試験モード装置MRをオンにし、第1のマージン試験モードを開始する。装置MRをオンにすると、基準ブランチ403内の電流がわずかに増加し、電流ミラー接続のために、第1の検知ブランチ401内の電流も増加する。このようにして、出力ノード414での出力電位が抑制される。したがって、プログラムされているヒューズ装置450が検知され、装置450のプログラム済み状態が限界状態である場合、このマージン試験モードによってヒューズ装置はプログラムされていないと検知される。ヒューズ装置450などのヒューズ装置のプログラム済み状態および未プログラム状態を示す出力ノード414でのリードアウト電圧は、検知回路400のVcc、プログラム済みヒューズ装置および未プログラム・ヒューズ装置の抵抗、その他の因子に依存する。

プログラムされていないで、限界の状態であるヒューズ装置450は、本発明の第2のマージン試験モードによって検出することができる。マージン試験0入力410上のロー信号はマージン・モード試験装置M1をオンにする。装置M1がオンになると、装置の抵抗が低減し、したがって出力ノード414の出力電位

がプルアップされる。ヒューズ装置450が検知時に、プログラムされていないと識別されたが、ぎりぎりの状態である場合、出力ノード414上の出力電位はそのように示す。言い換えれば、出力ノード414上の出力電位は、読み取った値がプログラム済みヒューズ装置を示す値として識別されるほど増加する。

このように、本発明の検知回路400は、ぎりぎりの状態でプログラムされ、あるいはぎりぎりの状態でプログラムされていないヒューズ装置による現場故障の可能性を低減する。本発明のマージン・モード試験手段は、第4図に示した第

2の検知ブランチ405内のぎりぎりの状態のヒューズ装置を検出するときにも同様に動作する。したがって、第1の検知ブランチ401と第2の検知ブランチ405の両方のヒューズ装置を冗長ヒューズとして使用する場合、これらのヒューズ装置が共に所望の状態であることが検証された場合、現場故障の可能性はさらに低減される。

本発明の一実施形態の冗長ヒューズ・アレイ

第5図に示したように、本発明のヒューズ装置は冗長アレイとして構成することができる。特定のヒューズ装置に欠陥があり、あるいは何らかの損傷があることがプローブ試験によって検出された場合、同様なヒューズ装置で置き換えられるように、冗長ヒューズ装置を用意しておくことが望ましい。

第5図は、本発明の一実施形態によるヒューズ装置の冗長アレイがどのように構成されるかの一例を示す。第5図の冗長ヒューズ装置のアレイは、それぞれ、第4図の検知回路400のヒューズ回路および基準回路と同様なヒューズ回路と基準回路とを含む、2つのヒューズ回路501および503と、論理ORゲート505とを含む。ヒューズ回路501は検知ブランチ520と、基準ブランチ521と、第2の検知ブランチ522とを含む。第4図の出力414など検知ブランチ520および522の出力はORゲート505に結合される。同様に、ヒューズ回路503は、第3の検知ブランチ507と、基準ブランチ509と、第4の検知ブランチ511とを含む。ヒューズ回路503の各検知ブランチの出力も同様にORゲート505に接続される。

第5図の冗長ヒューズ・アレイでは、検知ブランチ520、522、507、



511内の1つのヒューズ装置がプログラムされている場合、ORゲート505からの出力信号は、プログラム済みヒューズ装置によって生成される信号に整合する。したがって、ヒューズ装置のプログラマは、第5図の冗長ヒューズ・アレイ内の1つのヒューズ装置をプログラムしても、あるいはいくつかのヒューズ装置をプログラムしても、あるいはすべてのヒューズ装置をプログラムしても同様な結果を達成することができる。この手法では、ヒューズ・プログラマは、ヒューズのプログラムおよび検証時間と、ヒューズ装置をプログラムするうえでの確

実さとの受け入れられる兼ね合いをとることができる。たとえば、ヒューズ・プログラマは1つのヒューズ装置のみをプログラムし、検証し、前述のマージン・モード試験シーケンスに合格した場合はそこで停止し、そうでない場合は他のヒューズ装置をプログラムすることができる。別法として、ヒューズ・プログラマは第5図の冗長アレイ内のすべての4つのヒューズ装置をプログラムして、あるヒューズを確実にプログラムすることもできる。

一実施形態では、ORゲート505は、検知ブランチの各出力に結合されたインバータと、その後続くNANDゲートとで構成される。このように、各インバータのトリップ点、または各インバータがオンになる電圧は同じである。他の実施形態では、すべての出力に結合されたNORゲートと、その後続くインバータを使用してORゲート505を構成することができる。しかし、この構成では、積層したPチャネル装置により、ORゲート505に入る検知ブランチ520、522、507、511からの各信号ごとのトリップ点が異なるために問題が生じる。回路をさらに最適化するために、ORゲート505内のインバータのトリップ点が、最大の感度を与えるノード440での基準電圧に一致するように、ORゲート505を形成する装置の寸法を選択することができる。

他の実施形態では、ORゲート505をANDゲートで置き換えることができる。この構成は未プログラム・ヒューズ装置を確認するうえで望ましい。この実施形態では、ぎりぎりまでプログラムされていないヒューズ装置が、ORゲート505の代わりに使用されるANDゲートの出力に影響を与えることはない。さらに、他の実施形態ではORゲート505の代わりにXORゲートを使用すること

ができる。XORゲートを使用すると、たとえばポリシリコン線が破壊され、ヒューズ装置がプログラムされているように見えるケースに対処することができる。XORゲートを使用した場合、このヒューズ・アレイは未プログラム状態が必要である場合でも有用である。このように、本発明の冗長ヒューズ・アレイによって融通性が向上し、欠陥のあるヒューズ装置、欠陥のある回路構成、または障害のあるプログラムを補償することができる。

一実施形態では、第5図のヒューズ・アレイ内のヒューズ装置の状態を読み取りラッチすることができるように追加組合せロジックが設けられる。依然として

第5図を参照すると分かるように、ORゲート505はNANDゲート530に結合され、かつインバータ535を通じて他のNANDゲート540に結合される。NANDゲート530および540への他の入力検知イネーブル入力416（第4図）から与えられる。第1のNANDゲート530の出力は事前設定（PRE#）入力に結合され、第2のNANDゲート540の出力はエッジ・トリガ・フリップフロップ550のクリア（CLR#）入力に結合される。PRE#入力とCLR#入力は共に、当技術分野で良く知られているように信号名とその後に続く「#」で示されているように、アクティブ・ローである。PRE#入力とCLR#入力は、第5図に示した実施形態では非同期信号であるが、他の実施形態では同期信号であってよい。フリップフロップ550は、クロック入力も受け取り、また、ヒューズ・アレイを縦続接続し各ヒューズ・アレイの状態を順次読み取ることができるように、データ入力上でヒューズ装置の他のアレイの出力を受け取ることができる。

検知回路へのリセット信号は、検知イネーブル信号416をアサートする。ヒューズ・アレイの状態が信号線532上のORゲート505の出力で与えられ、2つの信号は共にNANDゲート530および540に与えられる（ORゲート505からの信号はNANDゲート540に達する前に反転される）。ヒューズ・アレイの状態が論理「1」である場合、NANDゲート530の出力信号はローであり、PRE#信号がアサートされる。逆に、ヒューズ・アレイの状態が論理「0」である場合、NANDゲート540の出力信号はローであり、CLR#

信号がアサートされる。このように、ヒューズ回路501および503を備えるヒューズ・アレイの状態をフリップフロップ550に記憶し、後で走査し、あるいは内部で使うことができる。当業者には、他のタイプのラッチ回路またはフリップフロップを使用してフリップフロップ550と同様な機能を実行できることが理解されよう。さらに、ORゲート505と、NANDゲート530および540と、フリップフロップ550とを含む組合せ記憶ロジックがヒューズ・アレイに結合されているように示されているが、当然のことながら、本発明の組合せ記憶ロジックは、単一のヒューズを含む検知回路に応じて使用することもできる。

したがって、本発明の静的低電流検知回路は、低プログラム電流を有するヒューズの状態を確実にかつ安全に検知し、同時に、未プログラム・ヒューズ装置の誤ったプログラムを防止する機能を実行する。本発明の検知回路の静的性質によって、特殊なタイミング回路を必要としないという利点も与えられる。さらに、本発明の検知回路は自己バイアス型であり、比較的安定しており、そのため製造公差、温度、電圧が変動する場合でもヒューズ装置の状態を確実に検知することができる。本発明の検知回路は、ヒューズのプログラム済み状態と未プログラム状態との間の抵抗の変化が比較的小さな場合でもこの2つの状態を確実に検知できるように低電流および高感度が得られるように最適化される。さらに、本発明のマージン試験モードは、ぎりぎりの状態でプログラムされ、あるいはぎりぎりの状態でプログラムされていないヒューズによる現場故障の可能性を低減する。本発明のヒューズ装置および検知回路は、冗長ヒューズ・アレイを構成するように容易に拡張することができ、差動検知とシングルエンド検知の両方を行うように構成することができる。

本発明のヒューズ検知回路は前述のすべての利点を備え、同時に比較的小さな検知回路寸法を維持する。ヒューズ検知回路の基準ブランチは、いくつかの実施形態では両方のヒューズ検知ブランチに近接して配置される。集積回路装置上のヒューズ検知回路の基準ブランチと検知ブランチが近接していると、製造上の変動のために装置の不一致が生じる可能性が最小限に抑えられ、検知回路の装置間

の相互接続部が比較的短いため、電圧低下および雑音の影響も低減される。

#### 本発明のヒューズ・プログラム検知方法の一実施形態

本発明の一実施形態のヒューズ・プログラム検知方法を第6図に示す。ヒューズ装置の状態を選択的にプログラムし検知する方法は処理論理ブロック600から開始する。決定論理ブロック601で、ヒューズ装置をプログラムする必要があるかどうか判定される。プログラムが必要である場合、処理論理ブロック605で、上記で第3図を参照して説明したようなヒューズ・プログラム回路を用いてヒューズがプログラムされる。処理論理ブロック607で、検知回路はヒューズ装置の状態を検知し、そのヒューズ装置がプログラムされているかどうかを

判定する。決定論理ブロック617で、ヒューズ装置がプログラムされている場合、ステップ619で、ヒューズ装置が試験され、ぎりぎりの状態でプログラムされており、後で故障する可能性が高いかどうか判定される。決定論理ブロック617で、装置がプログラムされていない場合、本発明の方法は決定論理ブロック625で、冗長ヒューズ装置を使用できるかどうかを決定する。

決定論理ブロック621で、ヒューズ装置がぎりぎりの状態でプログラムされていると判定され、かつ冗長ヒューズ装置が使用できる場合（決定論理ブロック625）、処理論理ブロック605で再び冗長ヒューズのプログラムが開始される。装置がぎりぎりの状態でプログラムされていると判定されたが、冗長ヒューズ装置が使用できない場合、処理論理ブロック624で欠陥装置と示される。選択的にプログラムすべきヒューズが他にある場合（決定論理ブロック625）、処理は決定論理ブロック601に戻り、そうでない場合は論理ブロック627で処理が終了する。

決定論理ブロック621に戻り、ヒューズ装置がぎりぎりの状態でプログラムされているものではないと判定された場合、ステップ623でこの装置が良好であることが示される。次いで前述のように、選択的にプログラムすべき装置が他にある場合、決定論理ブロック601で処理が再開する。すべての装置が必要に応じて選択的にプログラムされた場合、論理ブロック627で処理が終了する。

決定論理ブロック601に戻り、ヒューズ装置が未プログラムのままである必

要がある場合、論理ブロック603で装置の状態が検知される。決定論理ブロック609で、装置がプログラムされている場合、故障が示され、選択的にプログラムすべき装置が他にないかぎり処理は終了する（ステップ625および627）。他の実施形態では、冗長ヒューズ装置アレイ内のすべてのヒューズ要素がプログラムされ、あるいはぎりぎりの状態でプログラムされていない限り故障が示されないように、アレイが論理ANDゲートに結合されている。決定論理ブロック609で、ヒューズ装置がプログラムされていない場合は処理論理ブロック611で試験され、それがぎりぎりの状態であるかどうか判定される。ヒューズ装置がぎりぎりの状態であることが判明した場合、（前述の冗長アレイが設けられていないかぎり）故障が示され、選択的にプログラムすべき装置が他にないかぎり

（処理論理ブロック623）論理ブロック627で処理が終了する。代わりに、ヒューズ装置がプログラムされておらず、また、ぎりぎりの状態ではないことが判明した場合、装置は合格となり、必要に応じてその状態が記憶され、他の装置を選択的にプログラムする必要がある場合は処理が継続する。一実施形態ではヒューズ装置をプログラムするステップの後に続いて検知ステップが行われるが、代替実施形態ではまずヒューズ装置の状態が検知され、次いで必要に応じてプログラムされることに留意されたい。

したがって、本発明は、最新の低電圧低接合破壊プロセス技法で利用できるヒューズ装置を提供する。当業者なら、上記の説明を読んだ後に本発明の多数の変形形態および修正形態を、思いつくであろうが、一例として図示し説明した特定の実施形態が制限的なものではないことを理解されたい。したがって、様々な実施形態の詳細の引用は、請求の範囲を制限するものではなく、請求の範囲自体は、本発明に必須とみなされる特徴のみについて説明したものである。

【図1A】

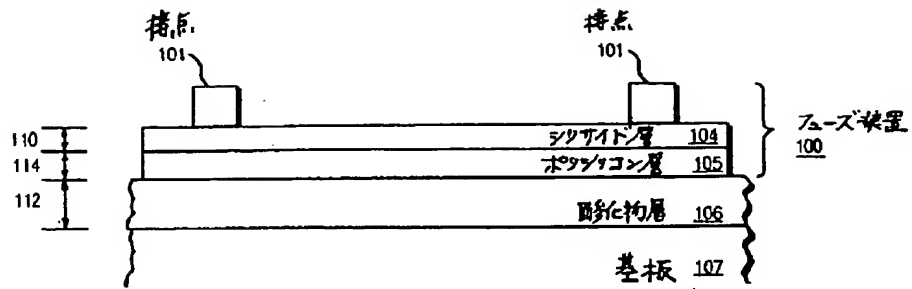


FIG. 1A (側面図)

【図1】

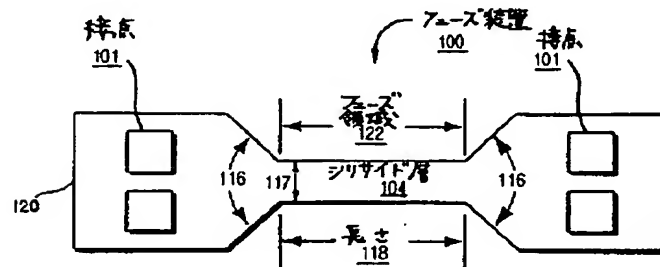


FIG. 1B (平面図)

【図2】

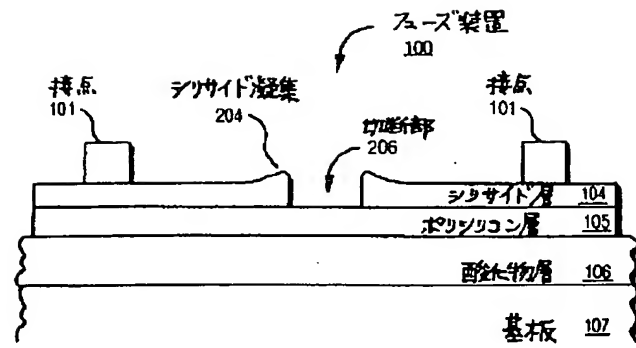


FIG. 2A (プログラム可能なフューズ)

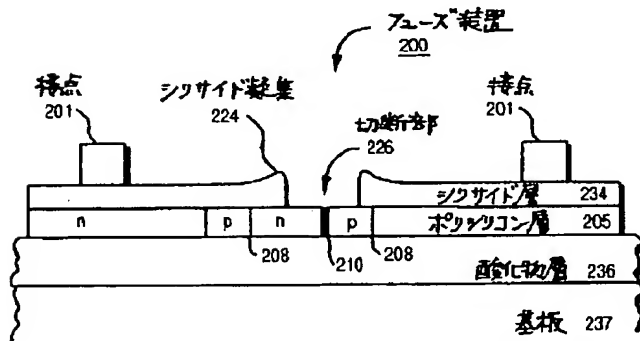


FIG. 2B (プログラム可能なフューズ)

【図3】

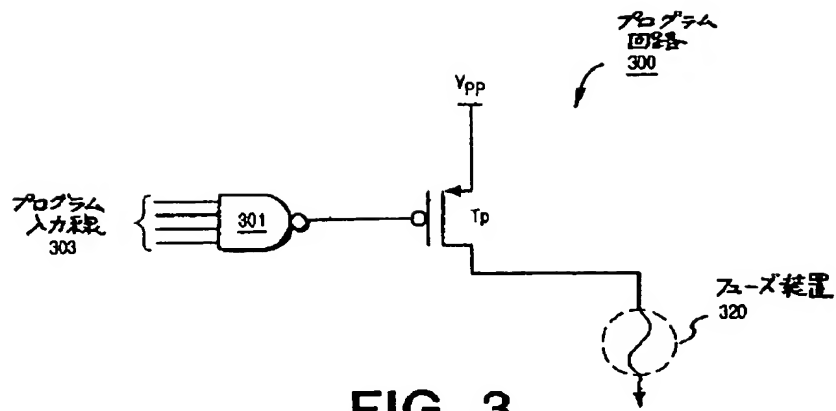


FIG. 3



**FIG. 4**

【図5】

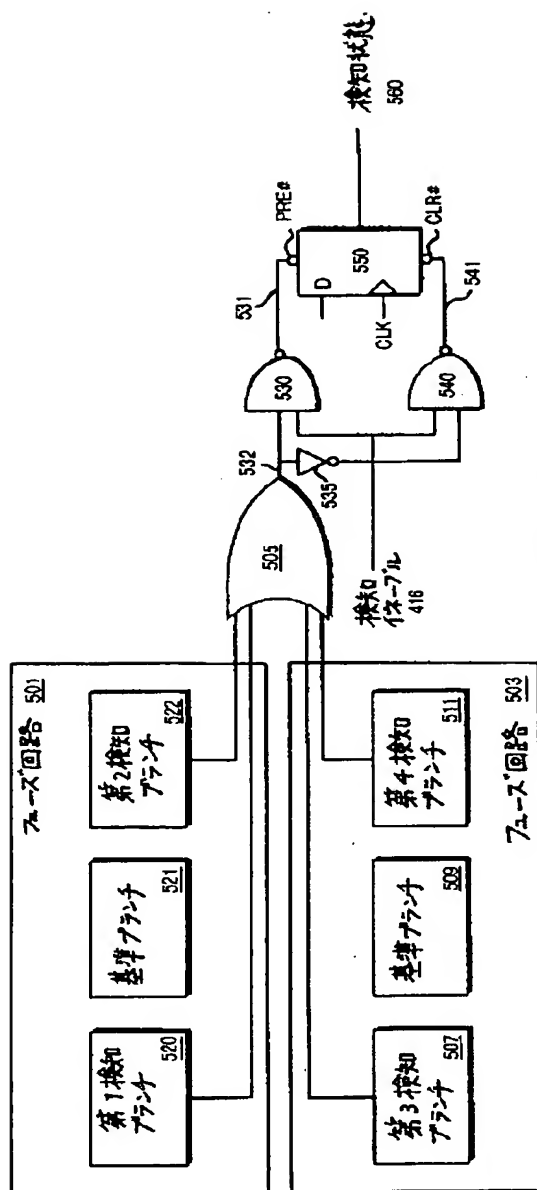


FIG. 5

【図6】

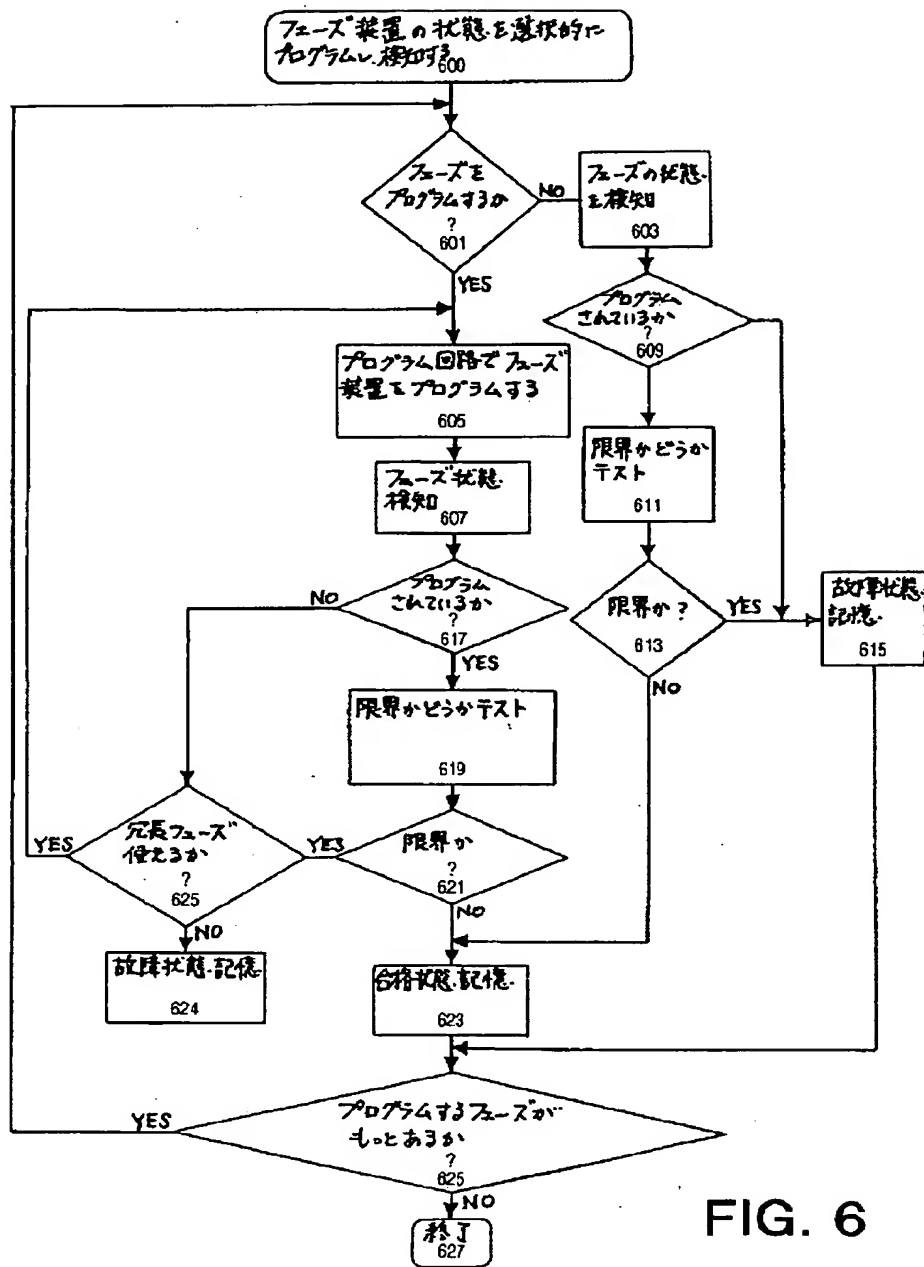


FIG. 6

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US96/15717

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC <sup>8</sup> : H01L 29/00, 29/44. US CL : 257/529; 437/193, 200 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) U.S. : 257/529; 437/193, 200, 922 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US, A 4,042,950 (PRICE) 16 August 1977, entire document, especially column 2, lines 47-50	6-8, 11, 12, 21-23, 30, 31
Y	US, A 4,356,622 (WIDMANN) 02 November 1982, entire document, especially column 3, lines 9-11, 19-20	1-3, 5-14, 16-18, 20-26, 28-31
Y	US, A 4,494,135 (MOUSSIE) 15 January 1985, whole document, especially Figs. 1-2	13, 14, 25, 26, 33, 34
X/Y	US, A 4,518,981 (SCHLUPP) 21 May 1985, whole document, especially Figs. 4-6	32/1-3, 5-14, 16-18, 20-26, 28-31, 33, 34
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" documents of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, each combination being obvious to a person skilled in the art "Z" document member of the same patent family		
Date of the actual completion of the international search 06 JANUARY 1997		Date of mailing of the international search report 23 JAN 1997
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. NOT APPLICABLE		Authorized officer J. CARROLL Telephone No. (703) 308-4926

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US96/15717

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US, A 4,635,091 (ROGER) 06 January 1987, whole document, especially Figs. 1a, 2	1-3, 5-14, 16-18, 20-26, 28-31
Y	US, A 4,748,491 (TAKAGI) 31 May 1988, whole document, especially column 3, lines 35-39	6, 12, 17, 21, 22, 31
Y	US, A 4,796,075 (WHITTEN) 03 January 1989, whole document, especially column 5, lines 32-36	5, 20
Y	US, A 5,066,998 (FISCHER ET AL.) 19 November 1991, whole document, especially columns 3-4	1-3, 5-14, 16-18, 20-26, 28-31
Y	"Polysilicon Fuse Structure," IBM Technical Disclosure Bulletin, Vol. 29, No. 1 (June 1986) pp. 144-145	3, 18

---

フロントページの続き

(81)指定国 EP(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG), AP(KE, LS, MW, SD, SZ, UG), UA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GE, HU, IL, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, TJ, TM, TR, TT, UA, UG, US, UZ, VN